

RESUMEN

Teniendo en cuenta los recientes avances en los sintetizadores de hardware usando lenguajes de alto nivel, en este trabajo de grado se propone el diseño e implementación de una red neuronal artificial utilizando técnicas de optimización en hardware que permitan aprovechar las propiedades de la red en términos de paralelismo y los recursos disponibles de la FPGA. Para esto se definirá la estructura de una red que nos permita realizar pruebas y comparar las diferentes técnicas de optimización en hardware.

ABSTRACT

Given the recent advances in hardware synthesizers using high-level languages, in this work the design and implementation of an artificial neural network is proposed using hardware optimization techniques to take advantage of the properties of the network in terms of parallelism and available resources of the FPGA. For this, we will define the structure of a network that allows us to test and compare different hardware optimization techniques.